

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 1月14日

出願番号  
Application Number: 特願 2003-006370

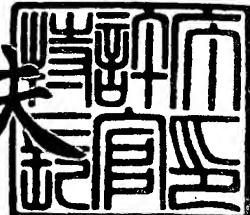
[ST. 10/C]: [JP 2003-006370]

出願人  
Applicant(s): キヤノン株式会社

2004年 1月14日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



【書類名】 特許願  
【整理番号】 250658  
【提出日】 平成15年 1月14日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/00  
【発明の名称】 デバイス  
【請求項の数】 1  
【発明者】  
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会  
社内  
【氏名】 西村 直樹  
【特許出願人】  
【識別番号】 000001007  
【氏名又は名称】 キヤノン株式会社  
【代理人】  
【識別番号】 100076428  
【弁理士】  
【氏名又は名称】 大塚 康徳  
【電話番号】 03-5276-3241  
【選任した代理人】  
【識別番号】 100112508  
【弁理士】  
【氏名又は名称】 高柳 司郎  
【電話番号】 03-5276-3241  
【選任した代理人】  
【識別番号】 100115071  
【弁理士】  
【氏名又は名称】 大塚 康弘  
【電話番号】 03-5276-3241

## 【選任した代理人】

【識別番号】 100116894

## 【弁理士】

【氏名又は名称】 木村 秀二

【電話番号】 03-5276-3241

## 【手数料の表示】

【予納台帳番号】 003458

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0102485

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デバイス

【特許請求の範囲】

【請求項1】 半導体素子とマイクロマシンとを有するデバイスであって、半導体素子が形成された半導体層と、マイクロマシンが形成された基板とを備え、前記半導体層と前記基板とが積層されており、前記半導体層は、前記半導体層の下に分離層を有する部材を前記分離層で分割して得られた半導体層であることを特徴とするデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子及びマイクロマシンを有するデバイスに関する。

【0002】

【従来の技術】

近年、マイクロマシンを利用したセンサや通信用デバイスなどが注目されている。マイクロマシンは、MEMS (microelectromechanicalsystems) とも呼ばれる。

【0003】

MEMS技術の応用として注目されているものに、RF (Radio Frequency) -MEMS がある。RF-MEMSには、例えば、スイッチ、インダクタ、可変キャパシタなどが含まれ、それぞれMEMSを利用しないデバイスと比較して有利な特徴を有している。スイッチは、一般的に用いられるPINダイオードなどと比較して、例えば、高周波で挿入損失が少ない、アイソレーションが小さいなどの特徴がある。インダクタは、例えば、巻き線方向を基板と平行にできるため、発生磁界が下部の高周波回路に印加されることがないという特徴を有している。可変キャパシタは、例えば、物理的にコンデンサの電極幅が動くため、高いQ値のフィルタを作ることができるという特徴を有している。例えば、スイッチのみをMEMS技術で形成する場合を想定すると、その他の部分をMEMSではなく従来の半導体回路で構成し、ME

MSスイッチの優れた高周波特性を活かして全体の高周波回路を構築することができる。

#### 【0004】

MEMS、例えばRF-MEMSによるスイッチ、インダクタ、可変キャパシタなどは、機械的な可動部分を有するためにサイズが大きくなる傾向がある。

#### 【0005】

したがって、MEMSと高周波回路とを並べて配置すると、全体のサイズが大きくなってしまう。

#### 【0006】

また、RF-MEMSは、例えばくし型電極のように、膜厚が数 $10\mu\text{m}$ で幅が数 $\mu\text{m}$ であるので、電気化学的に溶液中において所望構造を析出させる、いわゆる電着プロセスで作製される場合が多い。これに対して、高周波や增幅回路などの半導体部分は、それを構成する各素子が $0.1\sim0.5\mu\text{m}$ 程度のサブミクロンサイズで構成され、製造プロセスには、スパッタリングやCVD法などのドライプロセスが主に用いられる。

#### 【0007】

したがって、MEMS部分と高周波回路や增幅回路などの半導体部分とは、要求される寸法、製造設備、必要なクリーン度などの環境も異なるため、異なる製造ラインで作製される場合が多い。よって、MEMS部分と、半導体部分とを同一基板上に同じ製造ライン上で作製することは、困難である。

#### 【0008】

##### 【発明が解決しようとする課題】

このように、従来の半導体素子及びマイクロマシンを有するデバイスは、1) MEMS技術で形成された部分は機械的な可動部分があるために比較的大きな面積を要求し、これを半導体回路と並列して配置するとデバイス全体のサイズが大きくなってしまい、また、2) 半導体部分とMEMS部分とは異なるプロセスで作製されるので、これらを同一基板上に形成すると電着プロセスの際に用いる酸性度の強い液体が半導体部分に接触する可能性があり、それを防止するためにプロセスが複雑になる、などの課題がある。

### 【0009】

更に、MEMSが形成された基板と半導体回路が形成された基板とを接着剤等によって貼り合わせる従来技術においては、シリコン基板上に形成された半導体回路の上に、絶縁膜を挟んで、MEMSが形成された基板を配置する。この場合、作成されるデバイス全体の厚さが厚くなり、フレキシブル性が要求される応用例には適用が難しく、また、他の部材との積層が難しいという課題がある。

### 【0010】

本発明は、以上の課題認識を契機としてなされたものであり、例えば、半導体素子及びマイクロマシンを有する薄いデバイスを提供することを目的とする。

### 【0011】

#### 【課題を解決するための手段】

本発明の第1の側面に係るデバイスは、半導体素子とマイクロマシンとを有するデバイスに関し、該デバイスは、半導体素子が形成された半導体層と、マイクロマシンが形成された基板とを備え、前記半導体層と前記基板とが積層されており、前記半導体層は、前記半導体層の下に分離層を有する部材を前記分離層で分割して得られた半導体層である。

### 【0012】

本発明の第2の側面に係るデバイスは、半導体素子とマイクロマシンとを有するデバイスに関し、該デバイスは、半導体素子が形成された半導体層と、マイクロマシンが形成された基板とを備え、前記半導体層は、第1面及び第2面を有し、前記第1面は、前記基板に直接又は結合層を介して結合されており、前記第2面には、前記半導体層よりも脆弱な構造の層が隣接している。ここで、前記脆弱な構造の層は、例えば、多孔質層又はイオン注入層を含みうる。

### 【0013】

本発明の第3の側面に係るデバイスは、半導体素子とマイクロマシンとを有するデバイスに関し、該デバイスは、半導体素子が形成された半導体層と、マイクロマシンが形成された基板とを備え、前記半導体層と前記基板とが積層されており、前記半導体層は、エピタキシャル成長法によって形成された半導体層である。ここで、前記半導体層は、第1面及び第2面を有し、前記第1面は、前記基板

に直接又は結合層を介して結合されており、前記第2面は、絶縁体に直接又は結合層を介して結合され又は隣接している。

#### 【0014】

上記の第1～第3の側面に係るデバイスにおいて、前記結合層は、例えば、接着剤或いは接着層を含みうる。

#### 【0015】

本発明の第4の側面に係るデバイスは、半導体素子とマイクロマシンとを有するデバイスに関し、該デバイスは、半導体素子が形成された半導体層と、マイクロマシンが形成された基板とを備え、前記半導体層と前記基板とが積層されており、前記半導体層は、 $50\text{ }\mu\text{m}$ 以下の厚さを有する。

#### 【0016】

本発明の第5の側面に係るデバイスは、半導体素子とマイクロマシンとを有するデバイスに関し、該デバイスは、半導体素子が形成された半導体層と、マイクロマシンが形成された基板とを備え、前記半導体層と前記基板とが積層されており、前記半導体層は、 $30\text{ }\mu\text{m}$ 以下の厚さを有する。

#### 【0017】

上記の第1～第5の側面に係るデバイスにおいて、前記マイクロマシンは、例えば、スイッチ、可変コンデンサ及びインダクタの少なくとも1つを含みうる。

#### 【0018】

上記の第1～第5の側面に係るデバイスは、例えば、前記半導体層に半導体回路が形成され、前記半導体回路及び前記マイクロマシンが無線通信装置の少なくとも一部を構成するように応用されうる。

#### 【0019】

本発明の第6の側面に係る製造方法は、半導体素子とマイクロマシンを有するデバイスの製造方法に係り、該製造方法は、半導体層及び分離層を有し前記半導体層が前記分離層の上に配置された部材を準備する工程と、マイクロマシンが形成された基板を準備する工程と、前記部材の前記半導体層側を前記基板に直接又は結合層を介して結合して結合基板を作製する工程とを含む。ここで、本発明の製造方法は、前記結合基板を前記分離層で分割する工程を更に含むことが好まし

い。前記部材を準備する工程では、例えば、陽極化成によって前記分離層を形成してもよいし、イオン注入によって前記分離層を形成してもよい。前記結合層は、例えば、接着剤或いは接着層を含みうる。

### 【0020】

本発明によれば、半導体素子が形成された薄い半導体層（例えば、半導体層を有する部材を分割して得られる半導体層）とマイクロマシンが形成された基板とを積層した構造を採用することにより、半導体素子及びマイクロマシンを有するデバイスを薄型化することができる。薄いデバイスは、曲げに対して強く、例えば、薄型の装置（例えば、ICカード等）への搭載に適している。また、薄い半導体層に半導体回路を作り込むことにより、高周波特性を改善し、また、消費電力を低減することができる。また、半導体素子を有する半導体層とマイクロマシンを有する基板とを積層して得られるデバイスは、例えば、半導体素子とマイクロマシンとを別プロセスで製造することができるので、それぞれに適したプロセス（例えば、半導体製造プロセスと電着プロセス）で半導体素子とマイクロマシンを製造することができる。

### 【0021】

#### 【発明の実施の形態】

以下、添付図面を参照しながら本発明の好適な実施の形態を説明する。

### 【0022】

まず、本発明の好適な実施の形態の説明として、半導体素子（或いは半導体回路）及びMEMS（マイクロマシン）を有するデバイス（以下、混載デバイスという）の構造について説明する。

### 【0023】

図1は、本発明の好適な実施の形態の混載デバイスの断面構造の一例を示す図である。図1に示す例は、MEMS素子としてMEMSスイッチを有する、無線通信機能を備えた混載デバイスである。図1に示す混載デバイス200は、MEMS素子1が形成された基板20と、半導体回路としての無線通信回路を含む薄化された半導体層3とを結合層としての接着剤或いは接着層2を介して積層して構成されている。なお、結合層は必ずしも必要ではなく、基板20と半導体層3とが直接結合

されてもよい。図2は、図1に示す混載デバイス200を上部から見た平面図である。

#### 【0024】

半導体層3は、 $50\mu\text{m}$ 以下の厚さであることが好ましく、 $30\mu\text{m}$ 、更には $20\mu\text{m}$ 以下の厚さであることが更に好ましい。このように薄化された半導体層を構成部材とすることにより、曲げに対して高い耐性を有する混載デバイスを製造することができる。

#### 【0025】

また、図4の(a)、(b)は、それぞれMEMSスイッチ1のOFF、ONの状態を示している。アンカー部71によって支えられたスイッチ1の上部電極17及び基板20に形成された下部電極10は、幅広の電極であり、これらの電極17、10間に電圧が印加されると、静電力によって端子11と端子74とが接触する。

#### 【0026】

MEMSスイッチは、PINダイオードやMESFETなどの半導体スイッチング素子と比較して、OFF状態では物理的に完全に2つの電極を切り離して電極間に空間を設け、ON状態では2つの電極を接触させて導通させるため、挿入損失（電力損失或いは電圧損失等の伝送損失）が小さく、また、アイソレーション効果が大きいなどの特性がある。すなわち、MEMSスイッチは、挿入損失を低減でき、オフ状態での絶縁性を向上させることができるという特徴をもつ。

#### 【0027】

ここで、MEMSインダクタについても説明すると、MEMSインダクタは、通常のオンチップ平面インダクタと比較して、例えば、寄生容量が少なく、高いQ値を得ることができるという特性をもつ。

#### 【0028】

また、MEMSキャパシタについても説明すると、くし型電極を用いて可変キャパシタを構成すると、電圧印加により電極幅を減少させて容量を直接変化させることができる。したがって、このようなMEMSキャパシタを構成要素とするフィルタを用いることにより、高いQ値を有する同調回路を実現することができる。

**【0029】**

また、複数のダイポールアンテナやパッチアンテナの間にMEMSスイッチを入れることで、アンテナの長さを変更して複数の周波数に対応した高周波回路を形成したり、パッチアンテナの給電パターンを変えて電磁波の放射パターンを変更して指向性を変えたりすることができる。

**【0030】**

このように、MEMS素子は、スイッチのみならず広範囲の応用があり、したがって、MEMS素子には、上記のような様々な種類（機能）の素子が含まれうる。

**【0031】**

本発明の好適な実施の形態の混載デバイスは、MEMS（マイクロマシン）が形成された基板20に対して、半導体基板ではなく半導体層が積層されて構成されている。すなわち、従来技術では、MEMSが形成された基板と半導体回路が形成された半導体基板とを接着剤によって貼り合わせて混載デバイスを作製するので、混載デバイス全体の厚さが2枚の基板分の厚さとなる。一方、本発明の好適な実施の形態の混載デバイスでは、MEMSが形成された基板に対して半導体層が積層されているため、混載デバイス全体の厚さを薄くすることができる。

**【0032】**

半導体層を形成する1つの方法として、半導体回路が形成された基板を研削又は研磨により薄化する方法がある。基板を研磨して薄化する方法として、CMP（化学機械研磨）法がある。しかしながら、CMP法を適用した方法では、プロセスが複雑になったり、研磨の際にMEMS素子の性能に悪影響を与える可能性がある。また、CMP法では、薄化に限界があり、特にウエハ面内での膜厚ばらつきを考慮すると、50μm以下への薄化は困難である。

**【0033】**

また、半導体回路が形成された基板上に絶縁膜を形成し、その上にMEMS素子を形成する方法では、MEMS素子を形成する際に用いる溶液が半導体回路部分に接触しうるので、十分に厚い絶縁膜を形成する必要や、高純度でクリーンな環境が要求される半導体素子の製造環境を汚染するといった問題が生じる。本発明の好適な実施の形態に係る製造方法によれば、このような問題を解消することができる

。

### 【0034】

MEMS 1 が形成された基板 20 と無線通信回路等の半導体回路を含む薄化された半導体層 3 とは、互いに電気的に接続される。この接続方法としては、接着剤 2 として導電性の金属を用いて電気的に接続する方法がある。

### 【0035】

基板 20 と半導体層 3 との電気的接続には、上記の他にも、図 8 に例示的に示すように各種の方法を適用可能である。図 8 (a) に示す例は、接着剤 2 の中に導電性の金属 25 を設ける方法である。図 8 (b) に示す例は、基板 20 と半導体層 3 との各々にパッド 25 を設けて、両パッド間をワイヤーボンディングで接続する方法である。図 8 (c) に示す例は、基板 20 側の電極と半導体層 3 側の電極とを物理的に接触させるのではなく、例えばコイル 27、28 をそれぞれ基板 20、半導体層 3 に設けて、基板 20 の電極と半導体層 3 の電極とを電磁気的に接続（誘導結合）する方法である。図 8 に示す 3 つの例では、接着剤 2 として、非導電性の物質を用いることができる。

### 【0036】

更に、図示していないが、BGA(Ball Grid Array)法による実装方法を適用して基板 20 と半導体層 3 とを接続してもよい。なお、MEMS 素子 1 は、スイッチに限定されず、例えば、インダクタや可変コンデンサなどのRF-MEMSでもあってもよいし、加速度センサや圧力センサなどのセンサであってもよいし、他の素子であってもよい。

### 【0037】

図 6 は、受信機 (RECEIVER (Rx)) と送信機 (TRANSMITTER (Tx)) とを含む無線通信装置のブロック図である。無線通信装置は、例えば、LNA (ローノイズアンプ) 601、BPF (バンドパスフィルター) 602、VCO (電圧制御発振器) 603、PLL (位相ロックループ回路) 604、PA (パワーアンプ) 605、マッチング回路 606、ミキサー 607、AGC (オートゲインコントローラー) 608、アンテナスイッチ 609、送受信 (Tx/Rx) スイッチ 610、アンテナ 611 等で構成される。

**【0038】**

例えば、図6のアンテナスイッチ609の部分をMEMSで置き換えた場合について説明すると、図7で示すように、MEMSスイッチ800を有する基板と、無線通信のための半導体回路801を有する半導体層とを各々形成した後にそれらを結合する。ここで、MEMSスイッチ800とアンテナ802とを1つの基板上に形成しても良い。

**【0039】**

アンテナスイッチ以外にも、例えば、BPF、マッチング、Tx/Rxスイッチ、LNA、PLL、VCO、ミキサーの一部もしくは全部がMEMSで置き換える可能性のある部分であり、このうちの部分をMEMSで形成して、他の部分と積層してもよい。

**【0040】**

本発明の好適な実施の形態の混載デバイスは、半導体回路部分が薄い半導体層に形成されるので、全体の厚さが非常に薄いことが特徴の一つである。例えば、上記の例では、全体の厚さを25μmとすることができます。このような構造は、例えば、デバイス・レイヤー・トランスファー(DLT)プロセスを用いることで実現されうる。

**【0041】**

次いで、図3を参照しながらMEMS素子の作製方法について説明する。図3は、MEMSスイッチの作製方法の一例を示す図である。

**【0042】**

まず、GaAs基板20上に、膜厚90nmのAuGe、膜厚10nmのNi、膜厚1.5μmのAuからなる金属層を成膜して、これをパターニングして下部電極10及び端子11を形成する(図3(a))。

**【0043】**

次に、膜厚2.2μmのSiO<sub>2</sub>層(犠牲層)14を成膜して、ビアアンカー13の部分をCF<sub>4</sub>/O<sub>2</sub>プラズマによりドライエッチングする(図3(b))。

**【0044】**

次に、CVD法によりSiN層15を成膜する(図3(c))。SiN層15の成膜後に、スイッチの接触部分を形成すべき領域を500nmだけエッチングす

る。（図3(d)）。

#### 【0045】

次に、膜厚20nmのTiと膜厚100nmの金からなる層を成膜し、これをパターニングして上部電極17と端子74を形成し、その後、これらを被覆する（図3(e)）。

#### 【0046】

最後に、濃縮フッ化水素酸によりSiO<sub>2</sub>層（犠牲層）14を除去する（図3(f)）。

このようにして形成されるMEMSスイッチ1は、優れた高周波特性を有し、これを半導体回路が形成された半導体層に貼り合わせることにより図1に示すような混載デバイスを製造することができる。

#### 【0047】

次いで、図5を参照しながら半導体素子及びMEMS素子を有する混載デバイスの製造プロセスの一例について説明する。

#### 【0048】

図5は、本発明の好適な実施の形態の混載デバイスの製造プロセスの一例を示す図である。ここで、図5の(a)～(h)は、デバイス・レイヤー・トランスマスター(DLT)プロセスであり、これらのうち、(a)～(f)は、無線回路等の半導体回路を有する半導体層と分離層とを有する基板を作製するプロセスである。(g)及び(h)は、貼り合わせプロセスである。まず、図5(a)～(f)を参照しながら半導体回路を形成するプロセスの一例を説明する。

#### 【0049】

まず、図5(a)に示すように、半導体基板としてSiシード基板100を用意する。次に、図5(b)に示すように、第1陽極化成工程によって第1多孔質Si層110を形成する。次に、図5(c)に示すように、第2陽極化成工程によって第2多孔質Si層120を形成する。ここで、典型的には、第1多孔質Si層110は分離層として利用され、第2多孔質Si層120はその上に良質の非多孔質半導体層を形成するために利用される。しかしながら、第1多孔質Si層110及び第2多孔質Si層120の双方、又は、第2多孔質Si層120のみを分離層として利

用することもできる。

#### 【0050】

次に、図5（d）に示すように、水素アニールと高温CVD工程により半導体層（ここでは、Si層として説明する）130を形成する。次に、図5（e）に示すように、Siのエピタキシャル成長により半導体層（ここでは、エピタキシャルSi層として説明する）140を形成する。次に、図5（f）に示すように、エピタキシャルSi層140に、通常の半導体製造プロセスによって、例えば高周波回路やセンサの增幅回路等の半導体素子或いは半導体集積回路150を形成する。

#### 【0051】

ここで、図5に例示的に示す製造プロセスでは、図5（b）及び図5（c）に示す工程において、互いに多孔度が異なる2層構造の多孔質層を形成するが、1層構造の多孔質層を形成してもよいし、3層以上の構造の多孔質層を形成してもよい。2層構造の多孔質層を形成する場合は、例えば、第1多孔質層として高多孔度の多孔質層を形成し、その上に、低多孔度の多孔質層を形成することが好ましい。3層構造の多孔質層を形成する場合は、基板側から順に低多孔度の第1多孔質層、高多孔度の第2多孔質層、低多孔度の第3多孔質層を形成することが好ましい。ここで、高多孔度とは、例えば10%～90%の範囲、低多孔度とは、例えば0%～70%の範囲であることが好ましい。なお、高多孔度の多孔質層の多孔度は、低多孔度の多孔質層の多孔度よりも高く設定される。多孔度の異なる複数の多孔質層は、例えば、陽極化成の際の電流密度を変えたり、化成溶液の種類あるいは濃度を変えたりすることで形成することができる。

#### 【0052】

陽極化成により多孔質層を形成する場合には、該多孔質層上に半導体層を成長させる前に、多孔質層の孔の内壁に窒化膜あるいは酸化膜などの保護膜を設ける保護膜形成工程や、水素を含む雰囲気中の熱処理工程を実施することが好ましい。保護膜形成工程の後に熱処理工程を実施することも好ましい。

#### 【0053】

陽極化成による分離層（多孔質層）の形成に代えて、イオン注入法によって分離層を形成してもよい。すなわち、図5（b）、（c）に示す陽極化成工程を含

む図5（b）～図5（d）又は図5（b）～図5（e）に示す工程に代えて、Siシード基板100に水素、窒素、若しくはヘリウム等の希ガスをイオン注入することによりイオン注入層を形成する方法を採用することができる。

#### 【0054】

このイオン注入法では、まず、シリコン基板（あるいはエピタキシャルウエハ）の表面に、半導体素子或いは半導体集積回路を形成する。その後、半導体素子あるいは半導体集積回路の上に必要に応じて保護膜を形成した後、所望の深さに水素イオン等のイオンを注入して、分離層として機能するイオン注入層を形成する。このようにして、図5（e）に示すような構造が得られる。なお、シリコン基板の表面から所定の深さにイオン注入層を形成した後にシリコン基板の表面に半導体素子を形成してもよい。イオン注入量が多い場合には、半導体素子の形成プロセスにおいて剥離現象が生じることも考えられるので、注入量を少なくして（その後、必要に応じてアニールすることにより）、デバイス形成プロセス中に剥離が生じないようにプロセスを設計する。

#### 【0055】

図5（d）に示す工程においてCVD法により半導体層を成長させる際に、所定の厚み（例えば10nm）までは20nm/min以下の低成長速度で成長させることが好ましい。また、半導体層140としては、非多孔質単結晶シリコン薄膜の他、例えばGaAs、InP、GaN等の化合物半導体膜が好ましい。半導体層140が単結晶シリコンの場合には、原料ガスとして、例えばSiH<sub>2</sub>Cl<sub>2</sub>、SiHCl<sub>3</sub>、SiCl<sub>4</sub>、SiH<sub>4</sub>、又はHClガスを用いることができる。半導体層140の形成方法としては、例えば、CVD法の他、MBE法、スパッタ法等が好適である。

#### 【0056】

多孔質層120、130を形成した後、基板に水素を含む雰囲気中で第1の熱処理を施し、その後に、半導体層140を成長させるのに先だって、当該第1の熱処理温度よりも高い温度で第2の熱処理をすることも好ましい。第1の熱処理温度としては、例えば800℃～1000℃の範囲が好ましく、第2の熱処理温度としては、例えば900℃～基板の構成材料の融点の範囲が好ましいで利用できる。これにより、多孔質層の表面の孔が封止される。例えば、第1の熱処理温度を950

℃とし、第2の熱処理を1100℃とすることが好ましい。

#### 【0057】

半導体素子或いは半導体集積回路150としては、例えば、CMOS、バイポーラトランジスタ、ダイオード、コイル、キャパシタ等の素子、DRAM、マイクロプロセッサー、ロジックIC、メモリ等の半導体集積回路を作製することができる。素子や回路の用途としては、電子回路、発振回路、受・発光素子、光導波路、各種センサなどが含まれる。

#### 【0058】

素子分離として用いるトレンチあるいはLOCOS（局所酸化）を多孔質層又はイオン注入層等の分離層まで達するようにプロセスを設計してもよい。

#### 【0059】

個々のチップとすべきチップ領域の間をLOCOS法により酸化し、又はメサエッチングし、チップ領域間に半導体膜が存在しないようにしてもよい。

#### 【0060】

次に、図5（f）に示す半導体回路基板とMEMS1が形成された基板1とを貼り合わせる工程及びその後の工程について説明する。

#### 【0061】

図5（g）に示す工程では、図5（f）に示す半導体回路基板の表面（Siシード基板100の反対の面）に、接着層（結合層）160によって、例えばアンテナコイル802及びアンテナスイッチ800が形成されたMEMS基板20を接着（結合）して結合基板を作製する。接着層160としては、エポキシ系接着剤や他の接着剤を用いることができる。

#### 【0062】

次に、図5（h）に示す工程では、第2多孔質Si層120とSi層130との間の領域、又は第2多孔質Si層120を境として、結合基板を2つに分割する。具体的には、分離層としての第2多孔質Si層120の側面又はその近傍に流体によって圧力を印加する。印加の方法としては、例えば、液体又は気体を分離層又はその近傍に対して外側から噴きつける方法や、分離層に静圧を印加する方法が好ましい。流体としては、液体としては、水、エッティング液、アルコール等が好適

であり、気体としては、空気、窒素ガス、アルゴンガス等が好適である。分離の際に、結合基板に超音波振動を印加してもよい。

#### 【0063】

分割或いは分離に際して、分離層である多孔質層やイオン注入層が部材の側面に表出していなければ、前処理において当該多孔質層を表出させてもよい。

#### 【0064】

静圧下（実質的に静止した流体による圧力下）で結合基板を分割或いは分離するには、例えば、分割或いは分離すべき部材の周辺部の少なくとも一部を取り囲んで密閉空間を構成するための密閉空間構成部材及び該密閉空間内に外部の空間よりも高い圧力を印加する圧力印加機構を備える分離装置が有用である。

#### 【0065】

分離層を水素、窒素、He、希ガス等のイオン注入により形成した場合には、400℃から600℃程度の熱処理を結合基板に施すことで、イオン注入により形成された微小気泡層（マイクロバブル層、マイクロキャビティ層）が凝集する。そこで、この場合には、流体による圧力印加に代えて又はそれに加えて、熱処理を利用して結合基板を分割或いは分離することもできる。また、CO<sub>2</sub>レーザー等により加熱する方法も有用である。

#### 【0066】

このようにして形成される図5（h）に示す混載デバイス200は、MEMS（マイクロマシン）1が形成された基板20と、半導体素子或いは半導体回路が形成された半導体層3とを積層した構造を有する。ここで、図5（h）に示す例では、基板20と半導体層3とが結合層としての接着剤160で結合されているが、基板20と半導体層3とは、直接結合されてもよい。半導体層3は、MEMSが形成された基板20と直接又は結合層を介して結合される第1の面と、その反対側の面である第2の面を有する。第2の面には、典型的には多孔質層の一部が残留する。このようにして第2の面に残留する多孔質層は、エッチング等により除去されてもよい。

#### 【0067】

図5（h）に示す混載デバイス200は、典型的には、複数のチップ領域を有

し、これらの複数のチップが個々のチップに分割（チップ化）される。チップ化のための加工は、典型的には、分離層側から実施されうる。チップ化には、通常用いられるダイシング装置を適用可能な他、エッチング、レーザーアブレーショーン、超音波カッター、高圧ジェット（例えば、ウォータージェット）などが適用されうる。好適である。エッチングを利用したチップ化には、 $\text{HF}+\text{H}_2\text{O}_2$ 、 $\text{HF}+\text{HNO}_3$ 、アルカリ溶液などのエッチング液が好適である。レーザーとしては、YAGレーザー、 $\text{CO}_2$ レーザー、エキシマレーザー等が好適である。

#### 【0068】

チップ化後に、各チップは、他の回路と接続されたり、パッケージングされたりしうる。また、各チップは、図5（h）に例示的に示すように、プラスチックカード（絶縁性カード）210上に直接又は結合層（例えば、接着剤或いは接着層）を介して結合されてもよい。ここで、半導体層3の第2面に残留している多孔質層120を除去した後にチップをプラスチックカード（絶縁性カード）210に直接又は結合層（例えば、接着剤或いは接着層）を介して結合されてもよい。この場合は、半導体層3が直接又は結合層を介して絶縁体に結合された構造となる。

#### 【0069】

本発明の好適な実施の形態によれば、半導体素子が形成された部材が半導体基板ではなく半導体層であるので、作製されるチップは、高い曲げ耐性を有し、プラスチックカード（ICカード）等への搭載或いは適用に好適である。

#### 【0070】

半導体層3の厚さは、 $50\text{ }\mu\text{m}$ 以下であることが好ましく、 $30\text{ }\mu\text{m}$ 以下、更には $20\text{ }\mu\text{m}$ 以下であることが更に好ましく、混載デバイス200の厚さは、 $100\text{ }\mu\text{m}$ 以下であることが好ましく、 $50\text{ }\mu\text{m}$ 以下であることが更に好ましい。

#### 【0071】

##### 【発明の効果】

本発明によれば、半導体素子及びマイクロマシンを有する薄いデバイスを提供することができる。

##### 【図面の簡単な説明】

**【図1】**

本発明の好適な実施の形態の半導体素子及びマイクロマシンの混載デバイスの断面構造の一例を示す図である。

**【図2】**

図1に示す混載デバイスを上方から見た平面図である。

**【図3】**

MEMS素子の作製方法の一例を示す図である。

**【図4】**

図1に示すMEMSスイッチ1のOFF、ONの状態を示す図である。

**【図5】**

本発明の好適な実施の形態の半導体素子及びマイクロマシンの混載デバイスの製造プロセスの一例を示す図である。

**【図6】**

無線通信装置の一例を示すブロック図である。

**【図7】**

本発明の混載デバイスの一適用例としての無線通信装置を示す図である。

**【図8】**

マイクロマシンが形成された基板と半導体素子或いは半導体回路が形成された半導体層との電気接続の方法を例示的に示す図である。

**【符号の説明】**

1 MEMS素子（マイクロマシン）

2 接着層（結合層）

3 半導体層

10 下部電極

11 端子（スイッチ下部）

13 ビアアンカー部

14 犠牲層（SiO<sub>2</sub>層）

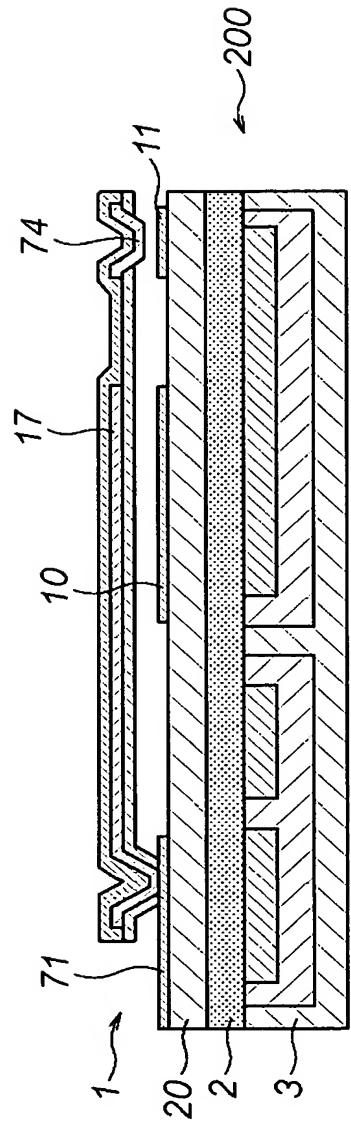
15 絶縁膜（SiN層）

17 上部電極

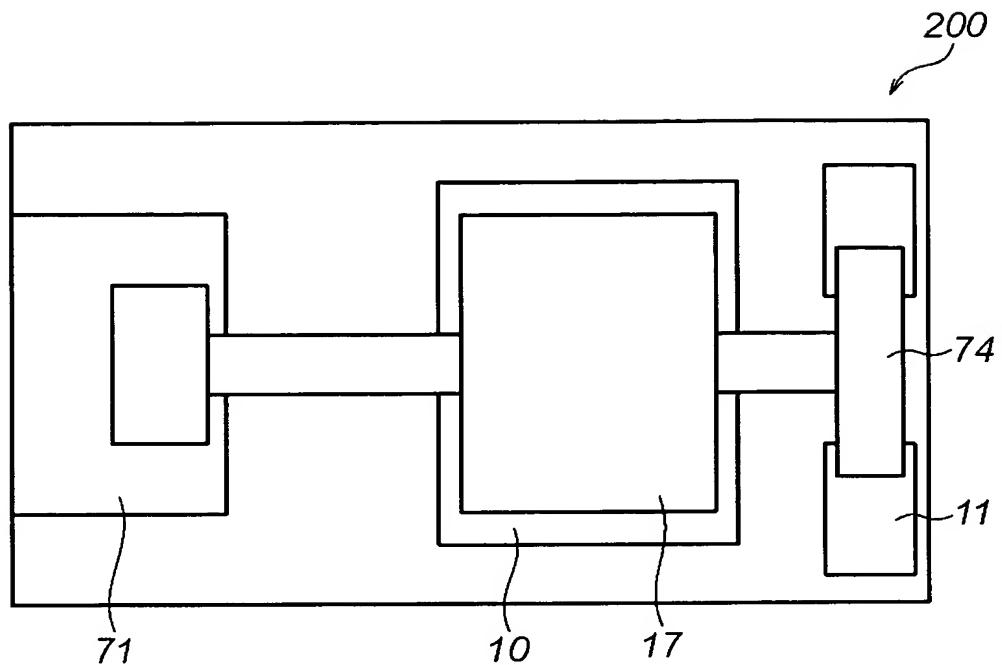
- 20 基板
- 71 アンカ一部
- 74 端子（スイッチ上部）
- 100 Siシード基板
- 110 第1多孔質Si層
- 120 第2多孔質Si層
- 130 Si層
- 150 半導体素子又は半導体集積回路
- 160 接着層（結合層）
- 200 混載デバイス
- 210 プラスチックカード（絶縁性カード）

【書類名】 図面

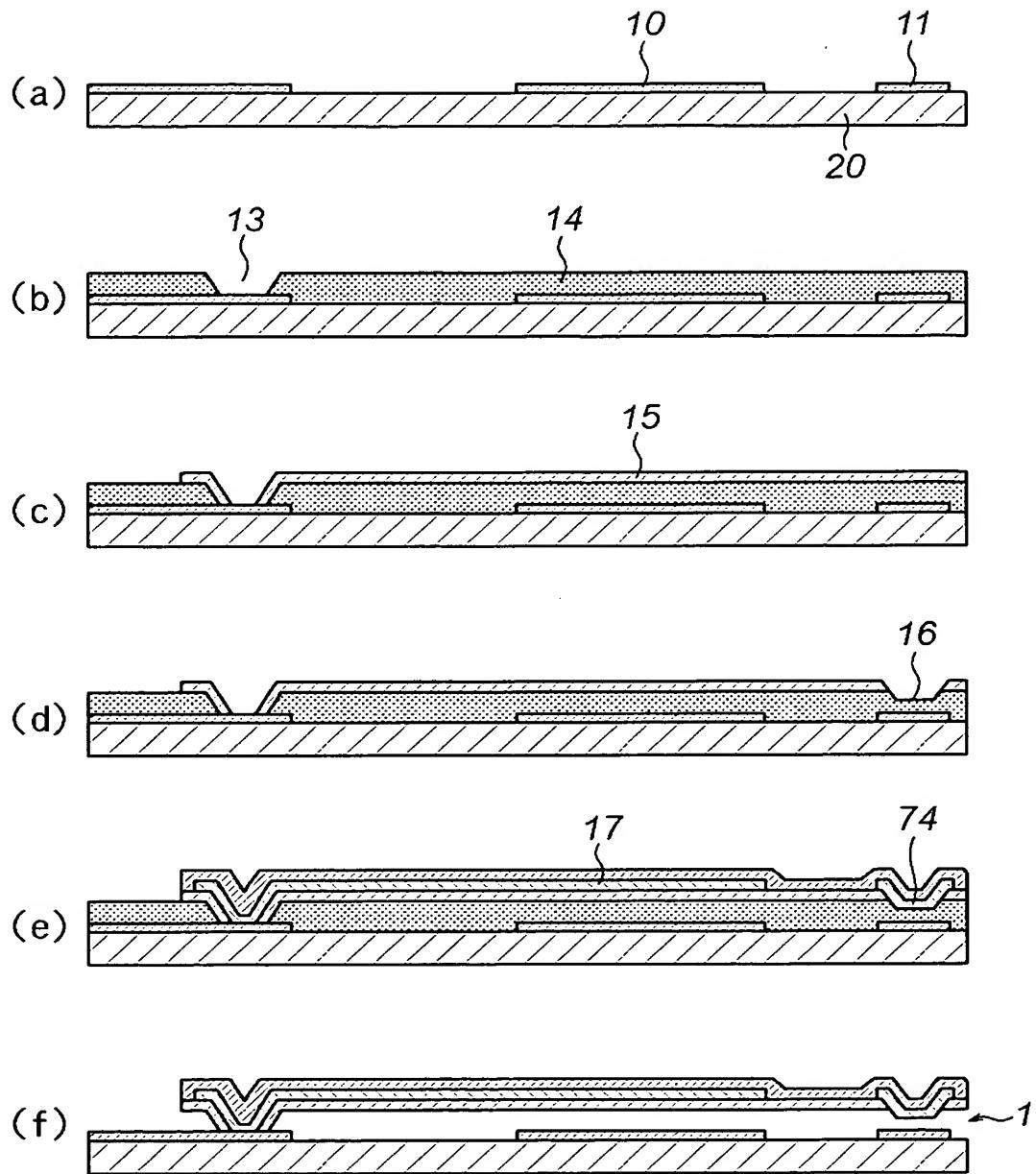
【図1】



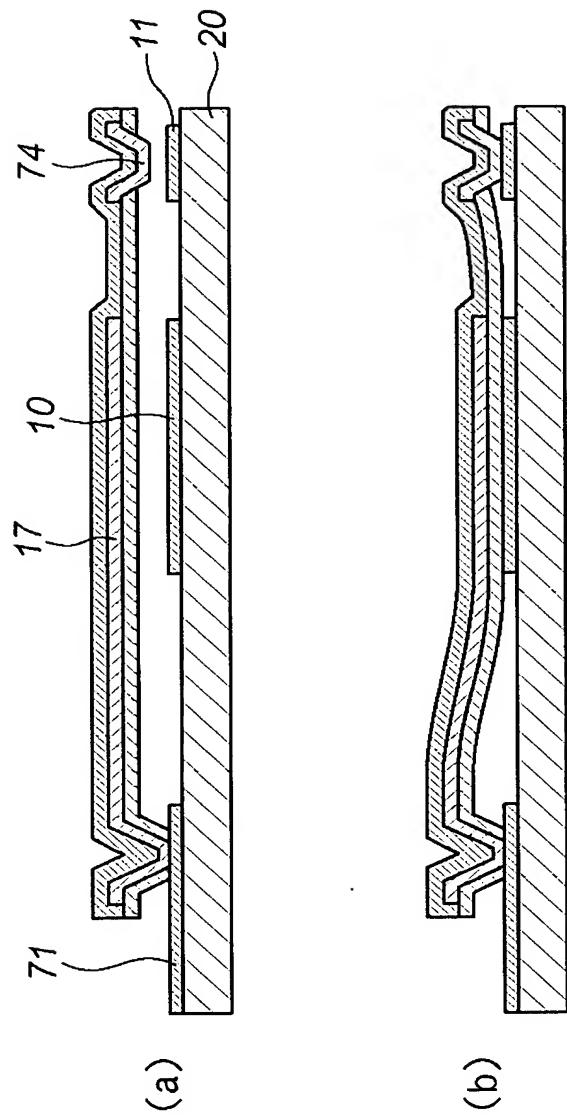
【図2】



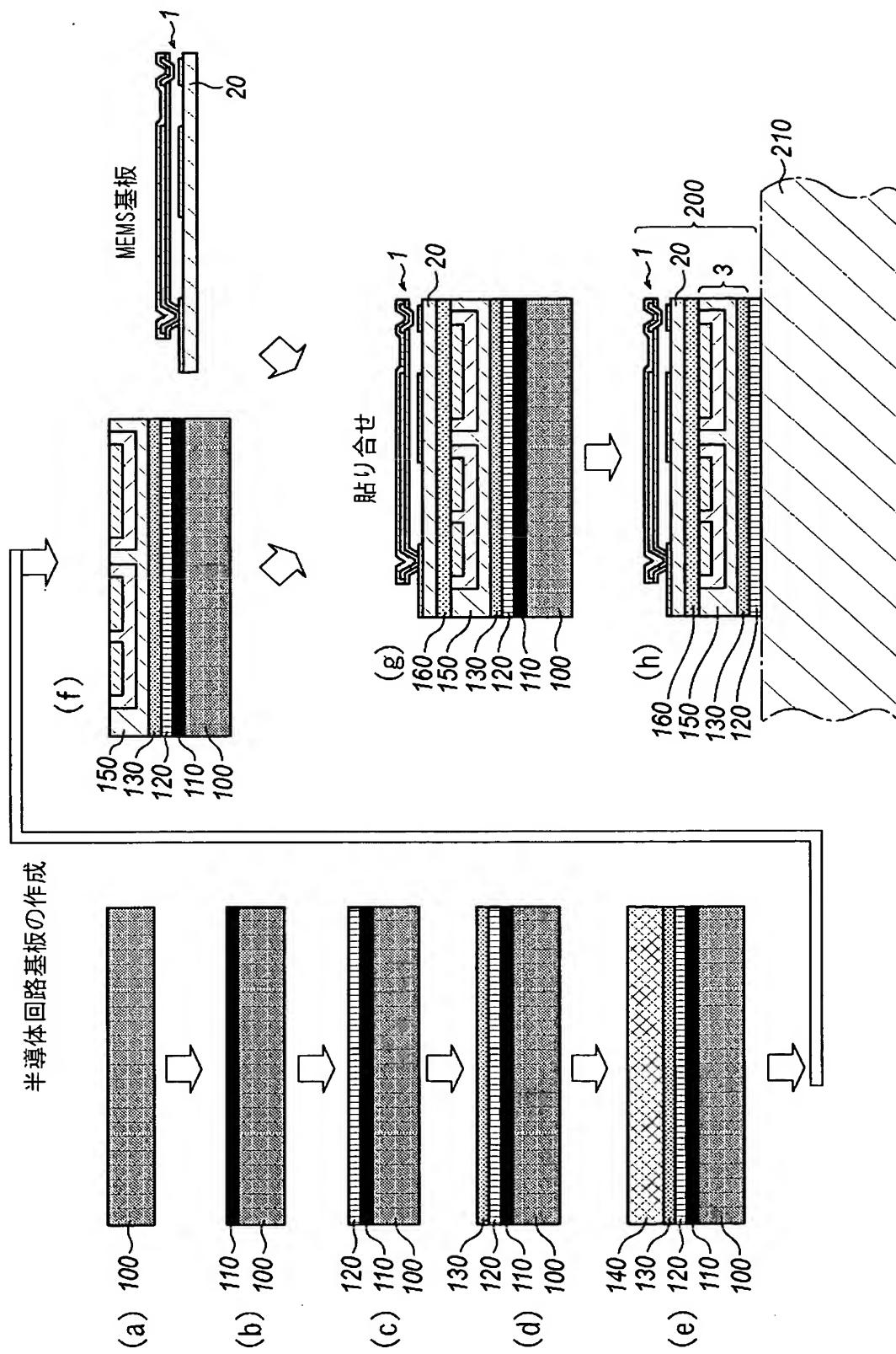
【図3】



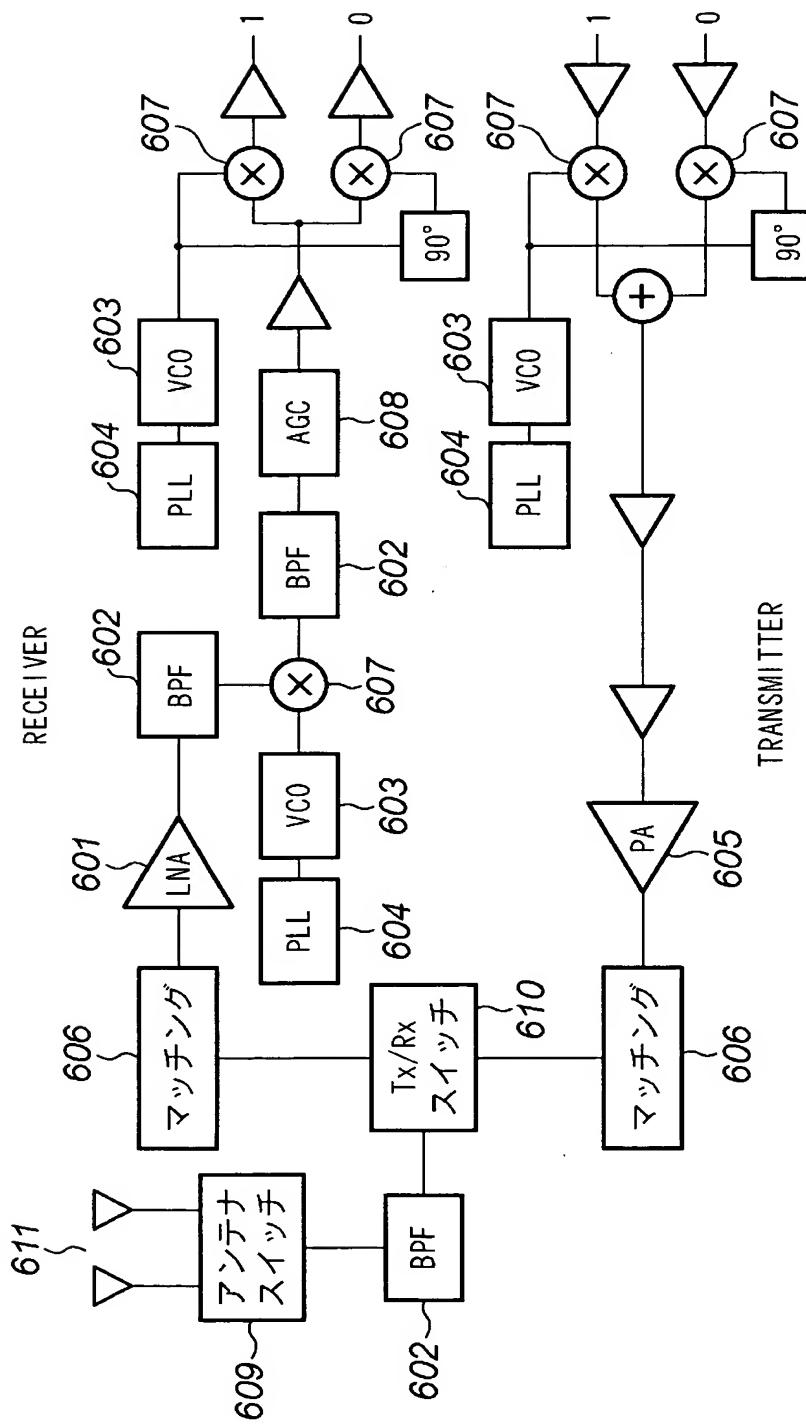
【図4】



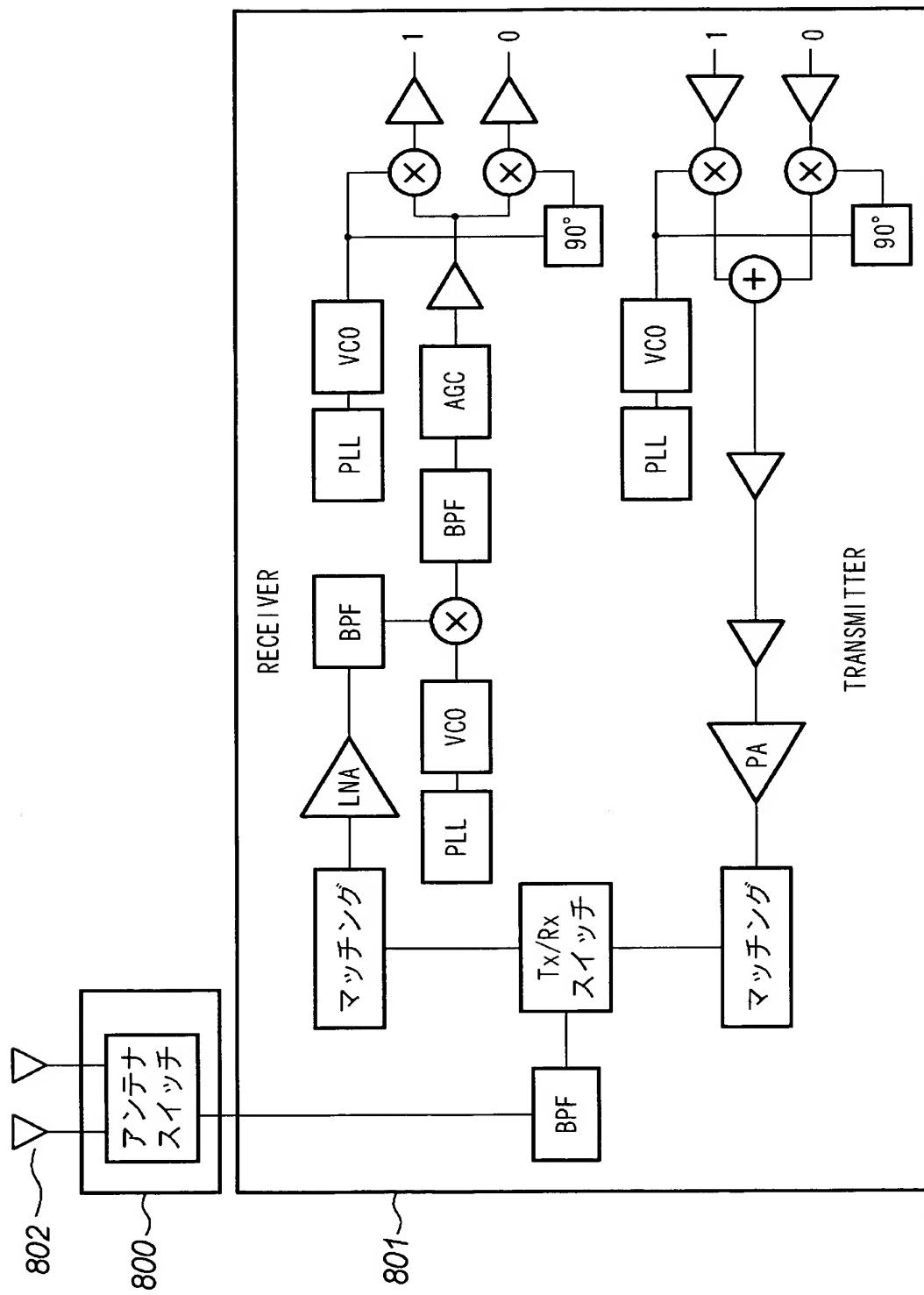
【図 5】



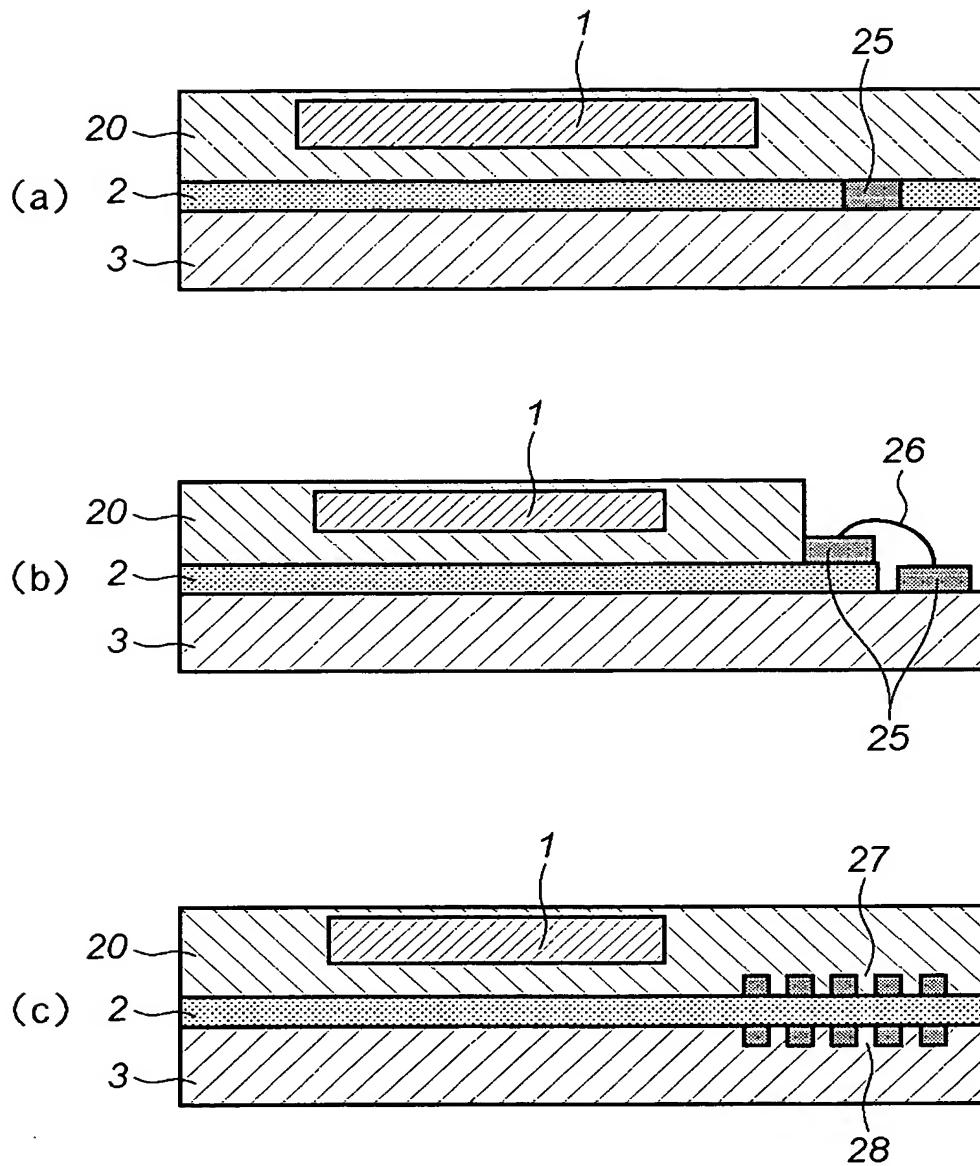
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 半導体素子及びマイクロマシンを有する薄いデバイスを提供する。

【解決手段】 混載デバイスは、マイクロマシン（MEMS）1が形成された基板20と半導体素子が形成された半導体層3とを接着層2で結合して構成されている。半導体層3は、例えば、半導体素子が形成された半導体層3の下に分離層（例えば、多孔質層）を有する部材と基板20とを貼り合わせた後に、該部材を分離層で分割することにより形成されうる。

【選択図】 図1

特願 2003-006370

出願人履歴情報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号  
氏 名 キヤノン株式会社